

六、申請專利範圍

及該數據墊。

39. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其另外包括一截光型有機圖型，形成於該數據線組合體及該覆層鈍化層之間。
40. 如申請專利範圍第 39 項之薄膜電晶體陣列基板，其中該截光型圖型係具有第五接觸窗口，經由第四接觸窗口曝光該汲極，該第五接觸窗口較該第四接觸窗口狹窄。
41. 如申請專利範圍第 36 項之薄膜電晶體陣列基板，其中該第二絕緣層係由截光型有機層形成。
42. 如申請專利範圍第 41 項之薄膜電晶體陣列基板，其中該第一絕緣層係具有與該半導體圖型相同之輪廓。
43. 如申請專利範圍第 42 項之薄膜電晶體陣列基板，其中介於該相鄰數據線間之半導體圖型開口寬度係 1 微米或更大。
44. 一種液晶顯示器用之薄膜電晶體陣列基板，包括：
- 一絕緣基板；
 - 一開極線組合體，形成於該基板上，該開極線組合體係具有多個延伸於水平取向之開極線、自該開極線分枝之開極、及連接於該開極線末端之開極墊；
 - 一第一絕緣層，形成於該開極線組合體上，該第一絕緣層具有曝光該開極墊之第一接觸窗口；
 - 一半導體圖型，縱向形成於該第一絕緣層之垂直取向上；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

一數據線組合體，形成於該半導體圖型上，該數據線組合體具有延伸於垂直取向之數據線，源極係自該數據線分枝，數據墊連接於該數據線末端，而汲極相對於該閘極位於與該源極相對之位置，而與該源極分隔，該數據線組合體實質上具有與該半導體圖型相同之輪廓，不同處為介於該源極及該汲極間之部分；

一第二絕緣層，形成於該數據線組合體上，該第二絕緣層具有曝光該第一接觸窗口之第二接觸窗口，曝光該數據墊之第三接觸窗口，及曝光該汲極之第四接觸窗口；

一濾色器，形成於位在由相鄰閘極及數據線界定之像素區上的鈍化層上；及

一像素電極，形成於該濾色器上，該像素電極係經由第四接觸窗口連接於該汲極。

45. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括一接觸層，形成於該半導體圖型及該數據線組合體之間，具有實質與該數據線組合體相同之輪廓。
46. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括補充閘極墊及補充數據墊，個別覆蓋該閘極墊及該數據墊。
47. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其另外包括一截光型有機圖型，形成於位於該數據線組合體及該閘極線組合體上之鈍化層上。
48. 如申請專利範圍第 47 項之薄膜電晶體陣列基板，其中

六、申請專利範圍

該截光型有機圖型係具有第五接觸窗口，經由第四接觸窗口曝光該汲極，該第五接觸窗口較該第四接觸窗口狹窄。

49. 如申請專利範圍第 44 項之薄膜電晶體陣列基板，其中該第二絕緣層係使用截光型有機層形成。

50. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成閘極線組合體，該閘極線組合體係包括閘極線、閘極、及閘極墊；

依序於具有該閘極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩經由蝕刻該金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

於該數據線組合體上沈積第二絕緣層；

經由選擇性地蝕刻該第二絕緣層及該底層半導體層及第一絕緣層，形成接觸窗口，曝光該汲極、該數據墊、及該閘極墊，經由選擇性地蝕刻位於由相鄰閘極及數據線所界定之像素區上之第二絕緣層及底層半導體層，形成一開口部分，曝光該第一絕緣層；

經由該開口部分形成於位在該像素區之第一絕緣層上形成一濾色器；及

於該濾色器上形成一像素電極。

51. 如申請專利範圍第 50 項之方法，其中一接觸層係於沈

六、申請專利範圍

積該金屬數據線層之步驟中另外沈積於該半導體層上，而該接觸層係於形成該數據線組合體之步驟中與該金屬數據線層同時進行蝕刻。

52. 如申請專利範圍第 51 項之方法，其中形成接觸窗口及開口部分之步驟係包括下列步驟：

於該第二絕緣層上沈積光阻劑薄膜；

使該光阻劑薄膜經由第三光罩曝光，該第三光罩分三或多個部分而具有透光度差；

顯影該經曝光之光阻劑薄膜，以形成光阻劑圖型；
及

使用該光阻劑圖型選擇性地蝕刻該第二絕緣層、該接觸層、該半導體層及該第一絕緣層。

53. 如申請專利範圍第 50 項之方法，其另外包括於形成接觸窗口及開口部分之步驟之後形成截光型有機圖型之步驟。

54. 如申請專利範圍第 50 項之方法，其中該第二絕緣層係由截光型有機層形成。

55. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成閘極線組合體，該閘極線組合體係包括閘極線、閘極、及閘極墊；

依序於具有該閘極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩及一半導體圖型經由蝕刻該半導體層

六、申請專利範圍

而形成具有數據線、及源極和汲極之數據線組合體，不同處為該半導體層位於介於該源極及汲極間之通道區上的部分；

於該數據線組合體上沈積第二絕緣層，該第二絕緣層係具有接觸窗口，曝光該汲極、該數據墊及該閘極墊；

於由相鄰閘極及數據線界定之一像素區上形成一濾色器；及

於該濾色器上形成一像素電極，使得該像素電極係經由該第一接觸窗口連接於該汲極。

56. 如申請專利範圍第 55 項之方法，其中另外於沈積金屬數據線層之步驟中於該半導體層上沈積一接觸層，而該接觸層係於形成數據線組合體之步驟中與該金屬數據線層及半導體層同時進行蝕刻，以形成一接觸圖型，具有實質與該數據線組合體相同之輪廓。

57. 如申請專利範圍第 56 項之方法，其中形成該數據線組合體、半導體圖型及接觸圖型之步驟係包括下列步驟：

於該金屬數據線層上沈積一光阻劑薄膜；

經由第三光罩使該光阻劑薄膜曝光，該第三光罩具有三個或多個具有不同透光度之部分；

使經曝光之光阻劑薄膜顯影，以形成一光阻劑圖型；及

使用該光阻劑圖型選擇性地蝕刻該金屬數據線層、

六、申請專利範圍

該接觸層、該半導體層。

58. 如申請專利範圍第 55 項之方法，其另外包括於形成該數據線組合體及該半導體圖型之步驟之後形成截光型有機圖型之步驟。
59. 如申請專利範圍第 55 項之方法，其中該第二絕緣層係由截光型有機層形成。
60. 一種製造液晶顯示器用薄膜電晶體陣列基板之方法，包括下列步驟：

使用第一光罩於一基板上形成閘極線組合體，該閘極線組合體係包括閘極線、閘極、及閘極墊；

依序於具有該閘極線組合體之基板上沈積第一絕緣層、半導體層、及金屬數據線層；

使用第二光罩及一半導體圖型經由蝕刻該金屬數據線層而形成具有預定圖型之數據線組合體，該數據線組合體係包括數據線、及源極及汲極；

於該數據線組合體上沈積第二絕緣層；

經由蝕刻該第二絕緣層及底層半導體層及介於相鄰數據線間之第一絕緣層，形成曝光該汲極、該數據墊、及該汲極之接觸窗口、及曝光該基板及該閘極線之開口部分；

經由該開口部分於該基板及該閘極線之曝光部分上形成一濾色器；及

於該濾色器上形成一像素電極。

61. 如申請專利範圍第 60 項之方法，其中於沈積該金屬數

六、申請專利範圍

據線層之步驟中另外於該半導體層上沈積一接觸層，該接觸層係於形成該數據線組合體之步驟中與該金屬數據線層同時進行蝕刻。

62. 如申請專利範圍第 60 項之方法，其中該第二絕緣層係由截光型有機層形成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

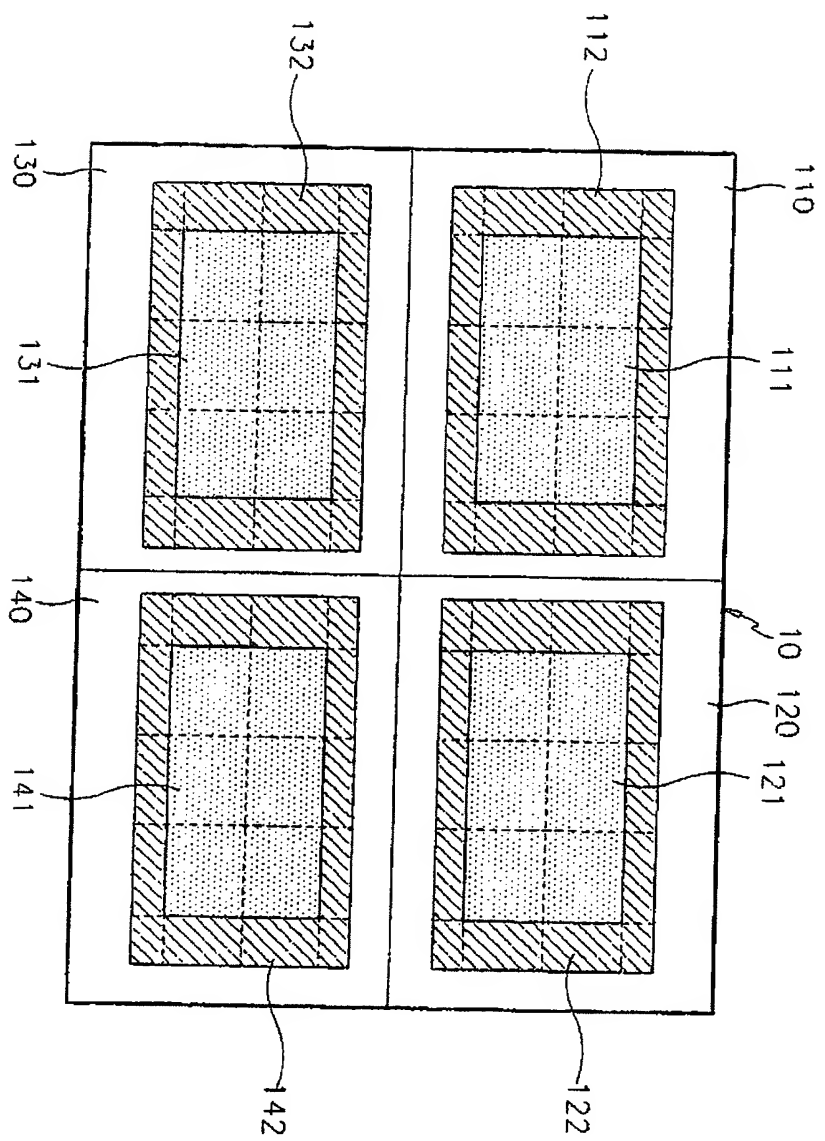
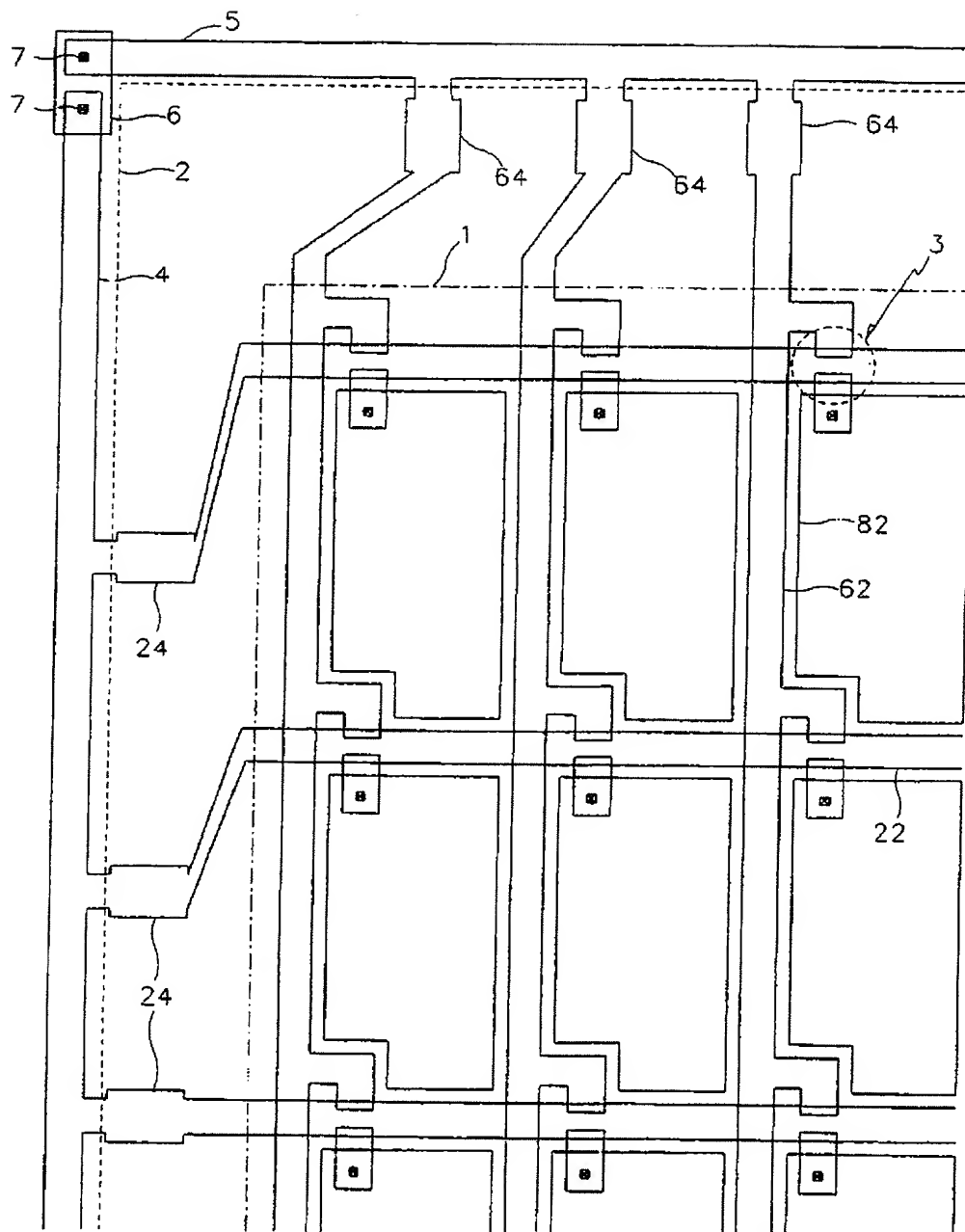
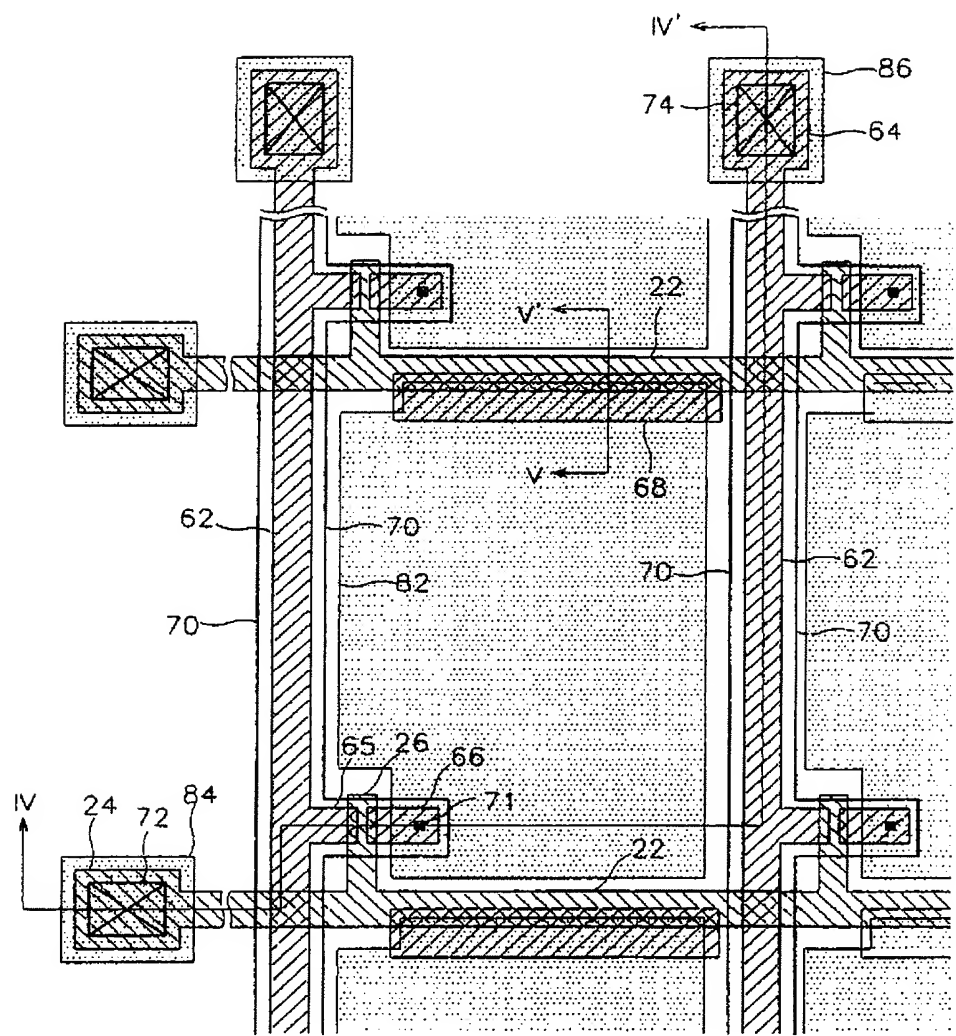
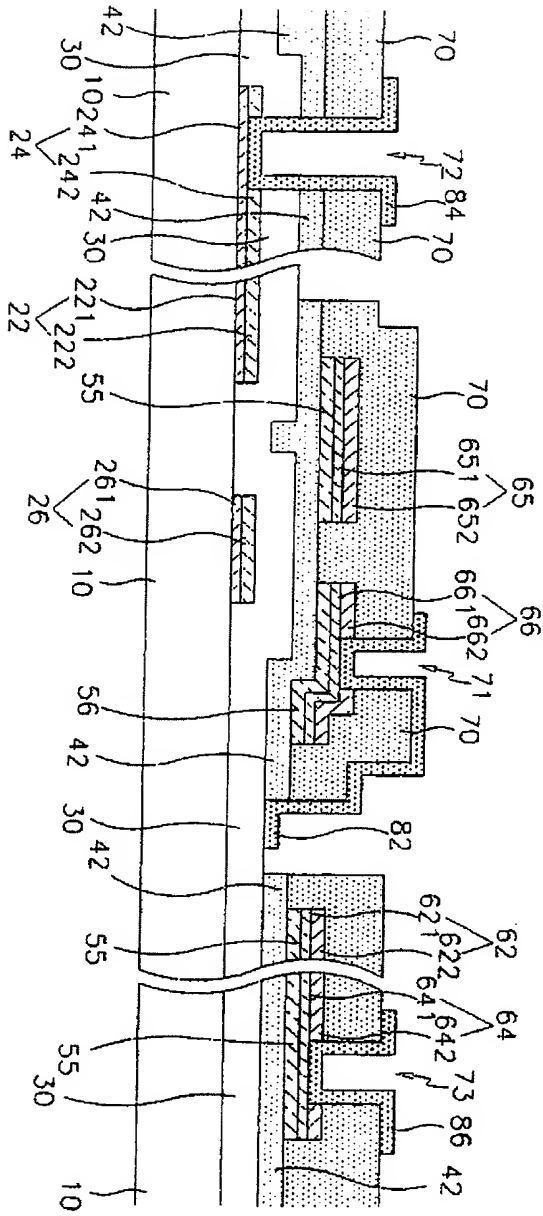


圖 1







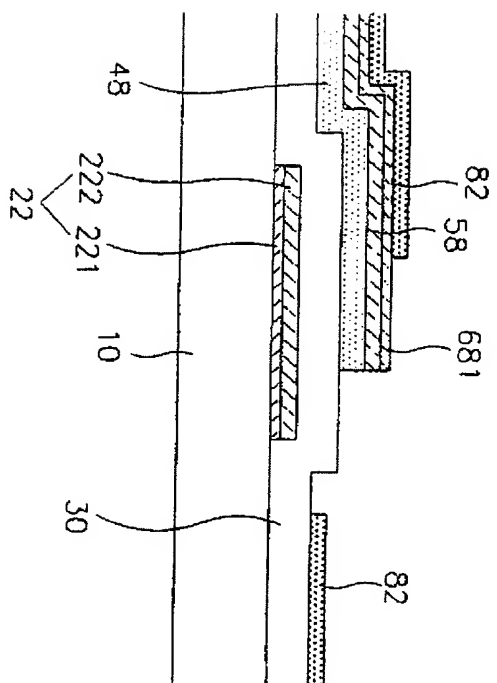
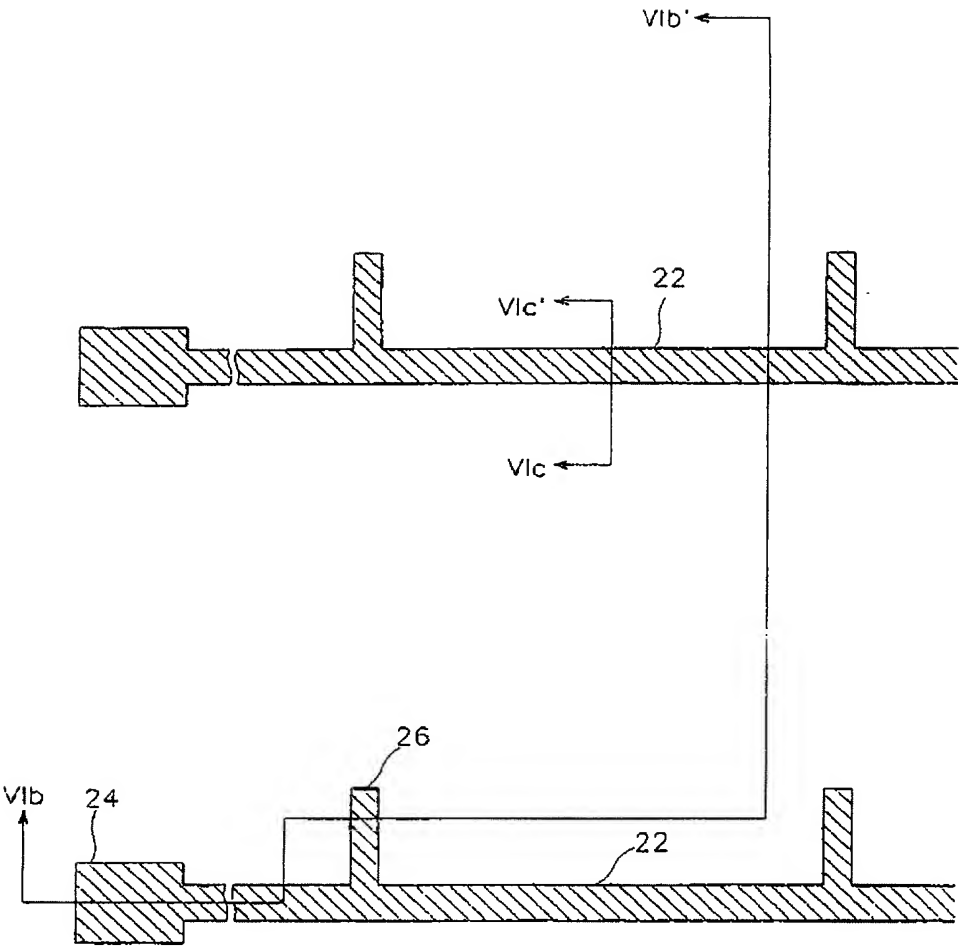
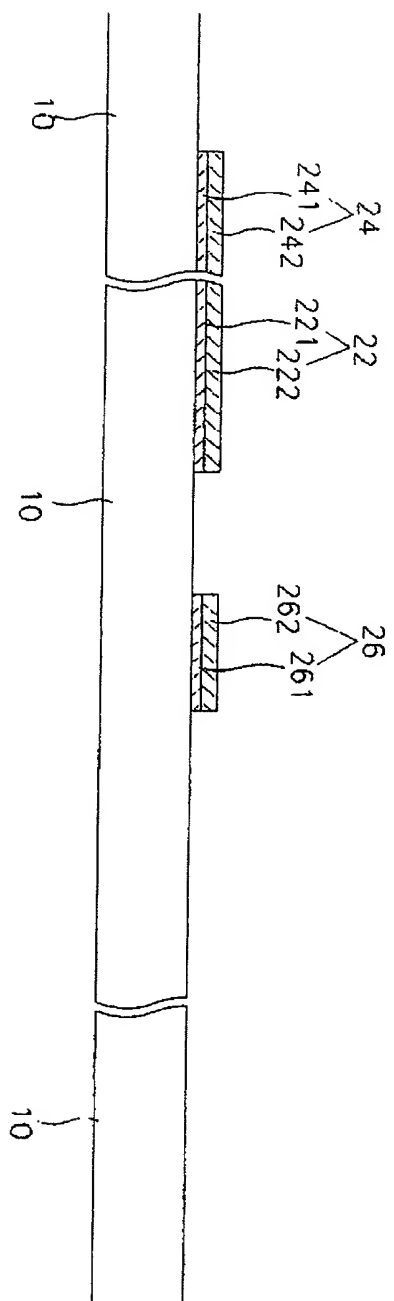


圖 5



6A



6B

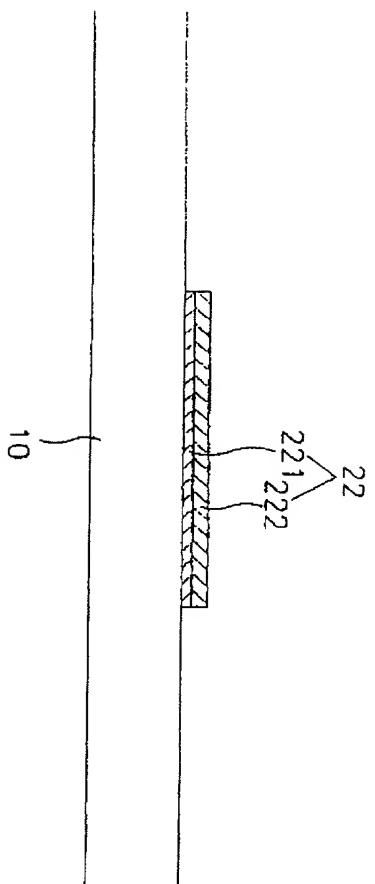


圖 6C

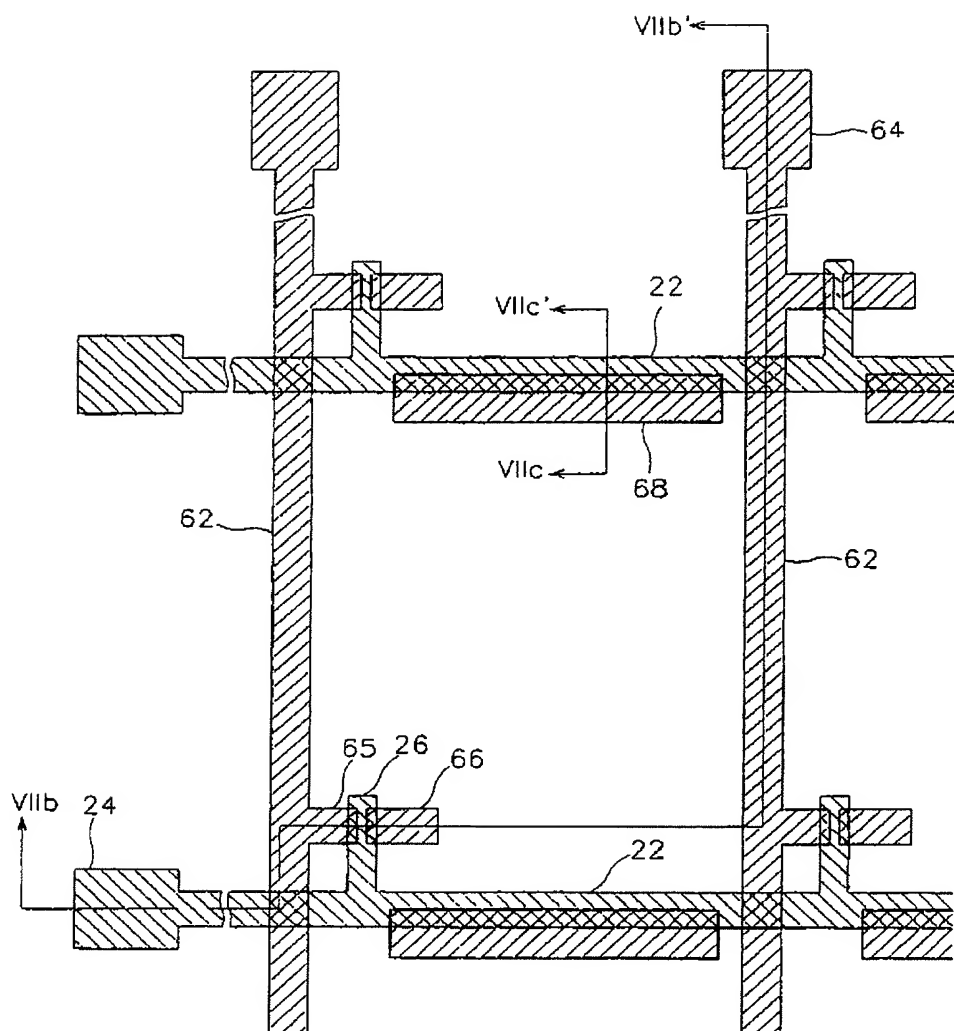


圖 7A

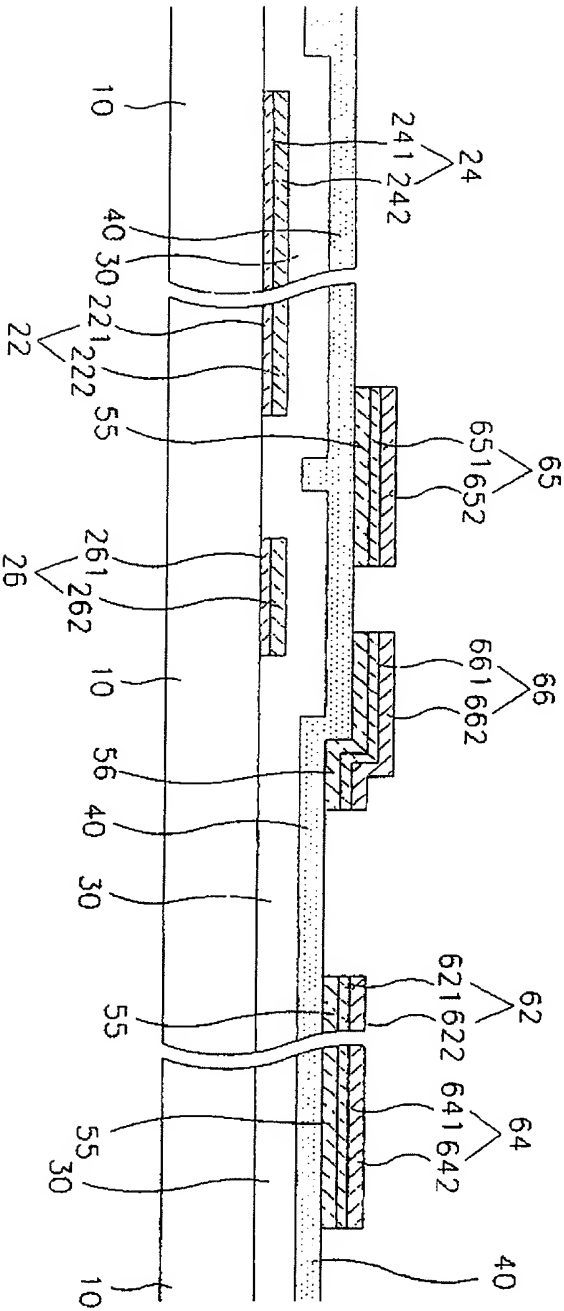


圖 7B

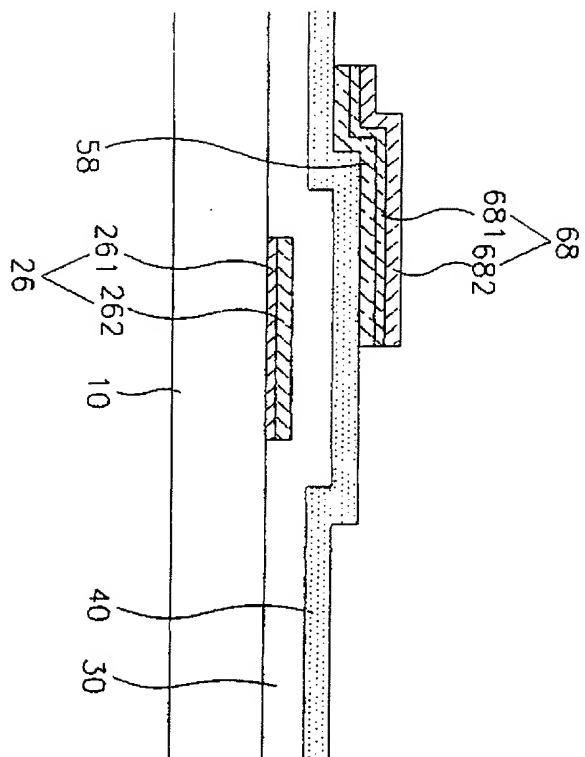


圖 7C

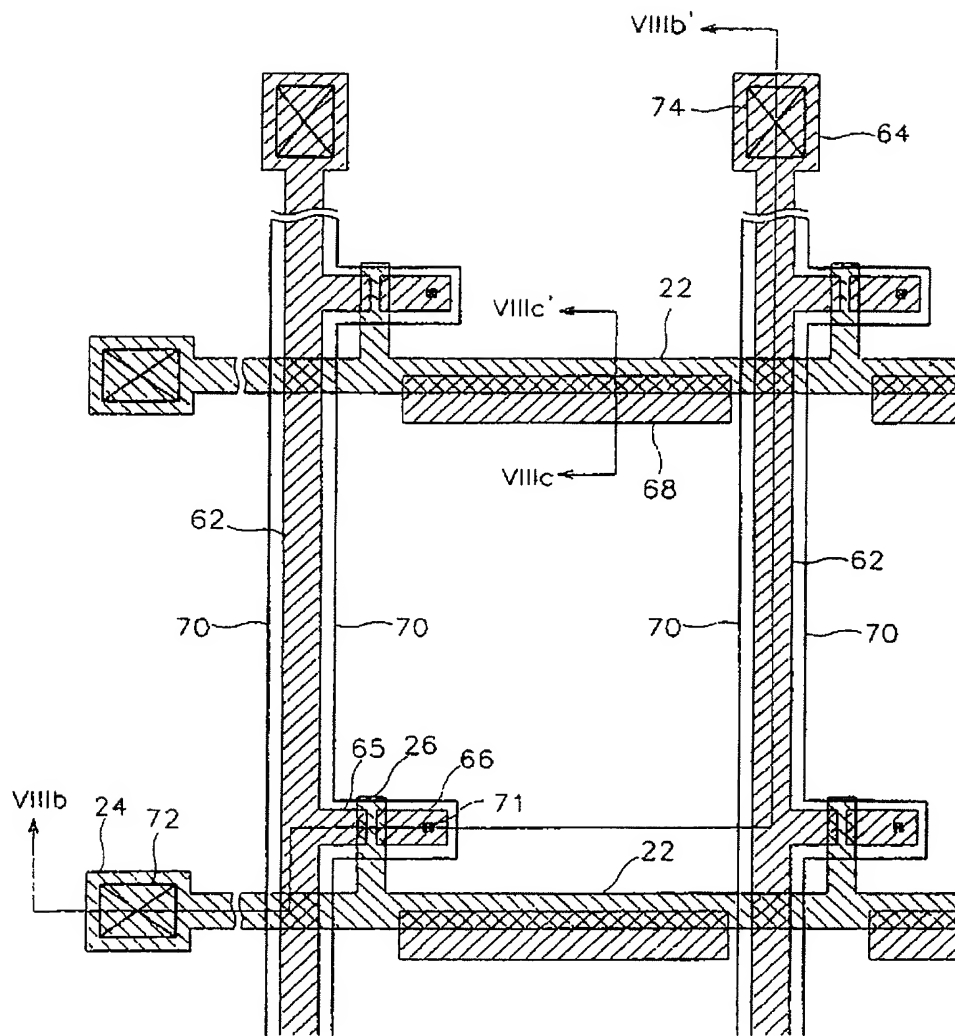


圖 8A

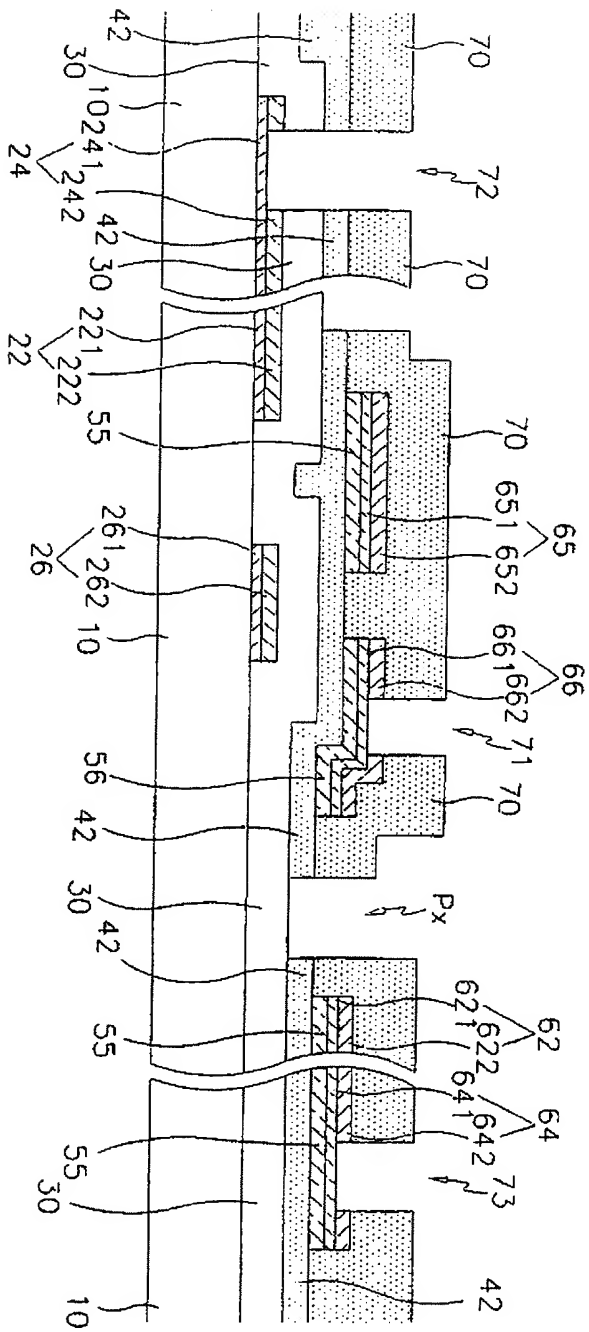
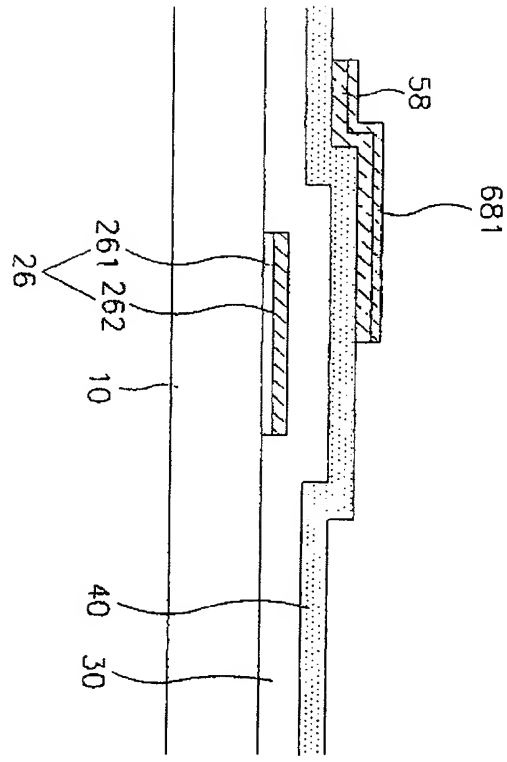
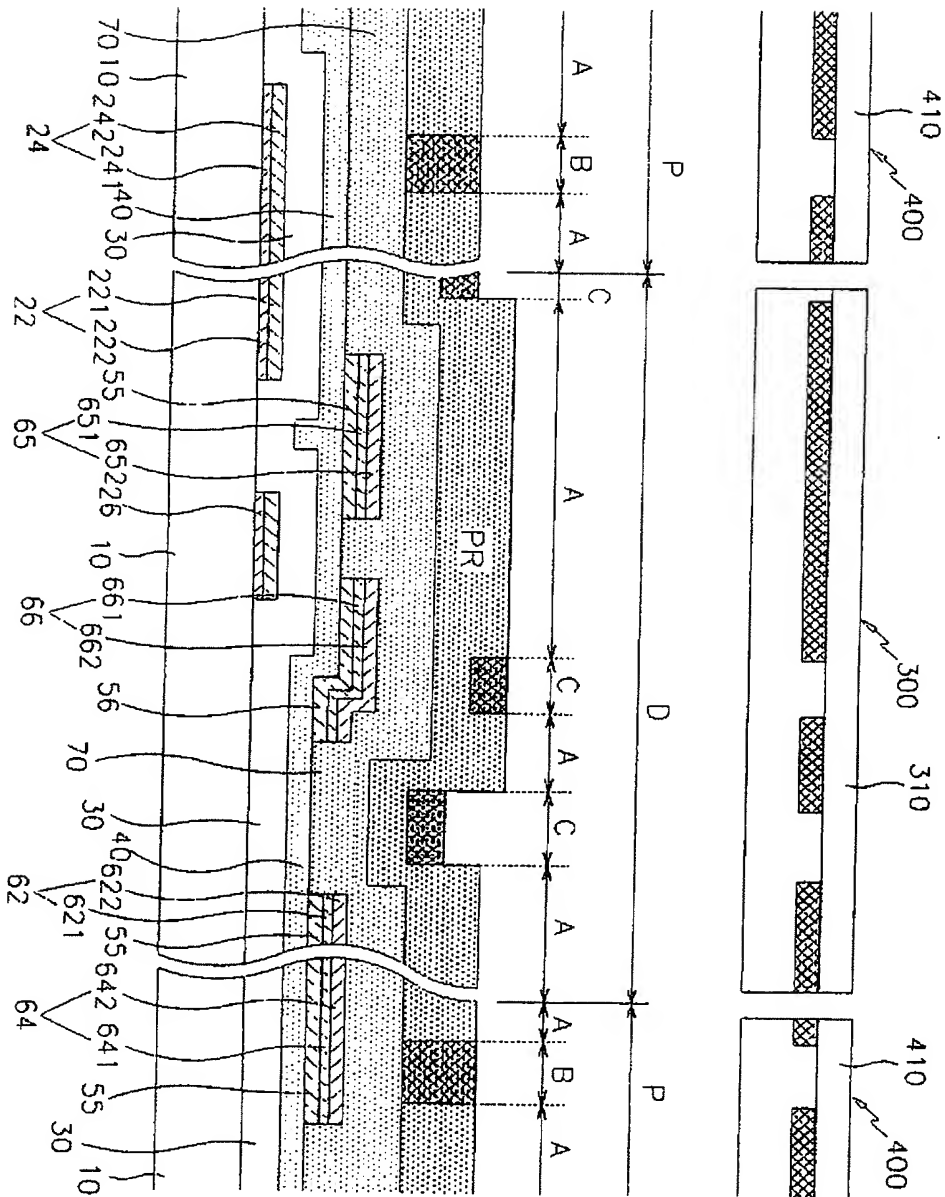


圖 8B



8C



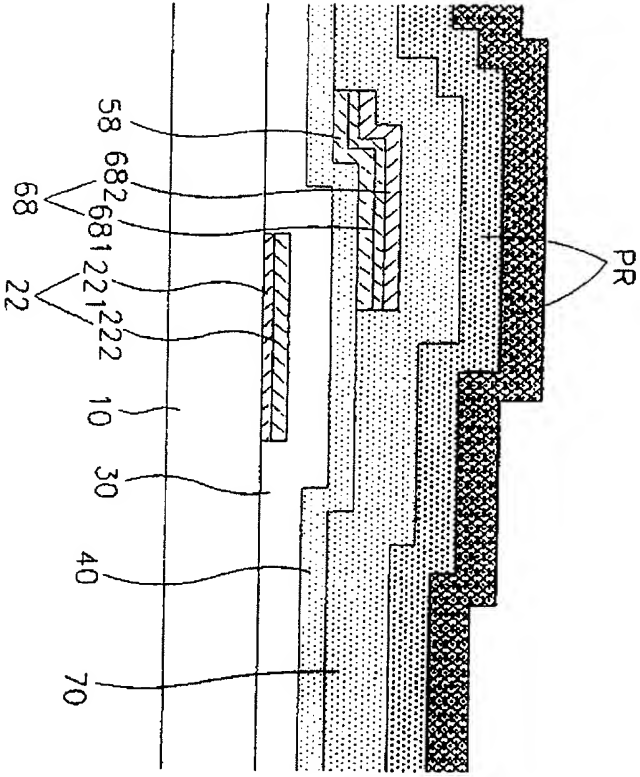
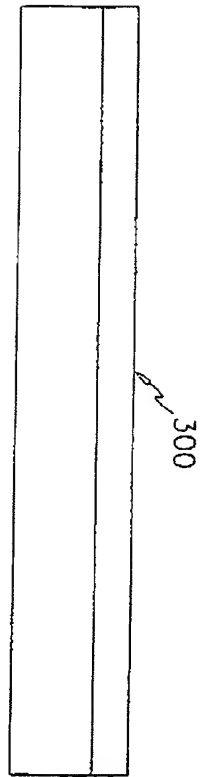


圖 9B

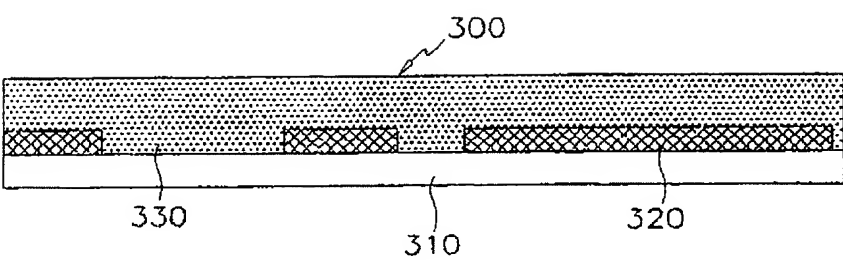


圖 10A

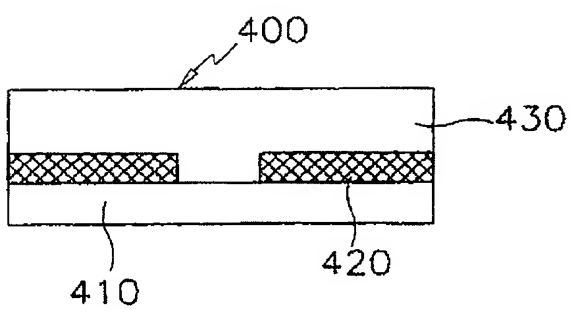


圖 10B

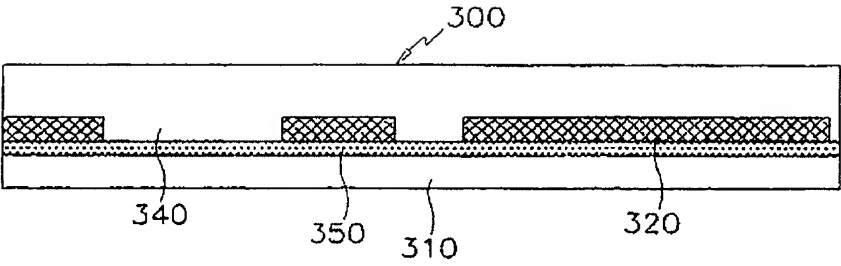


圖 11A

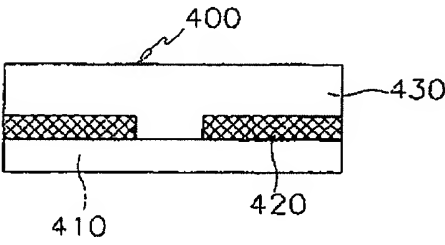


圖 11B

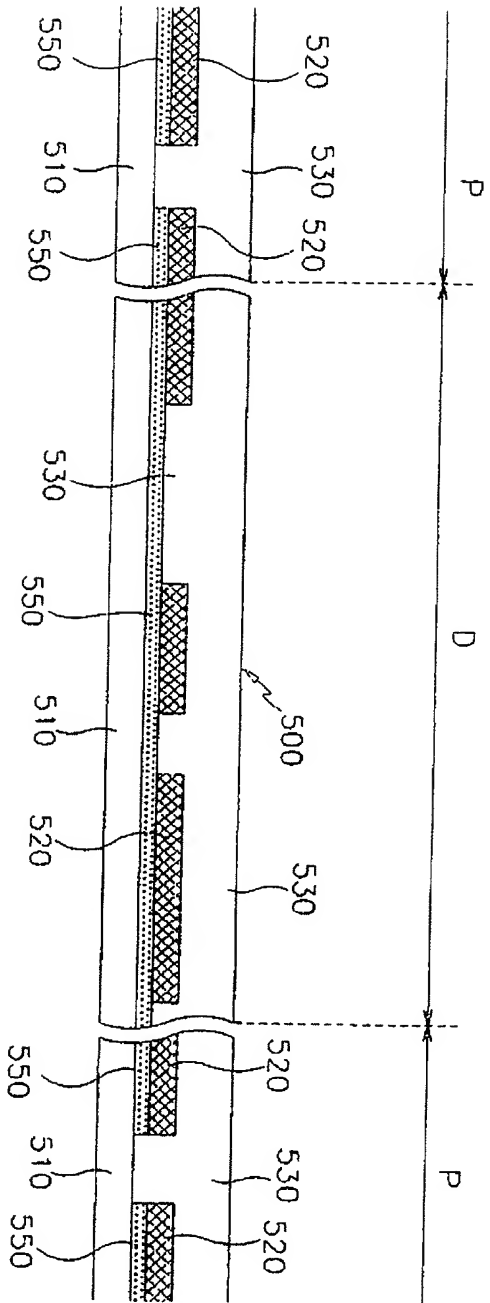
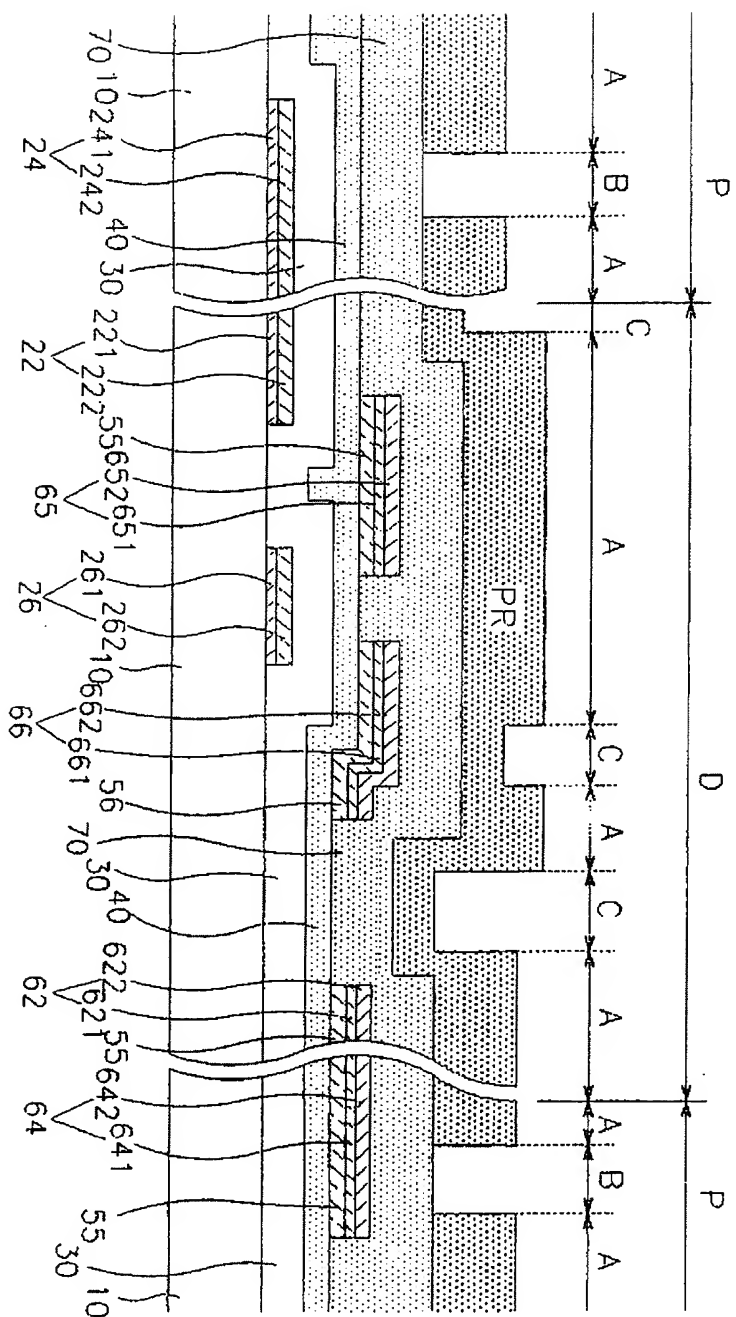


图 12

13A

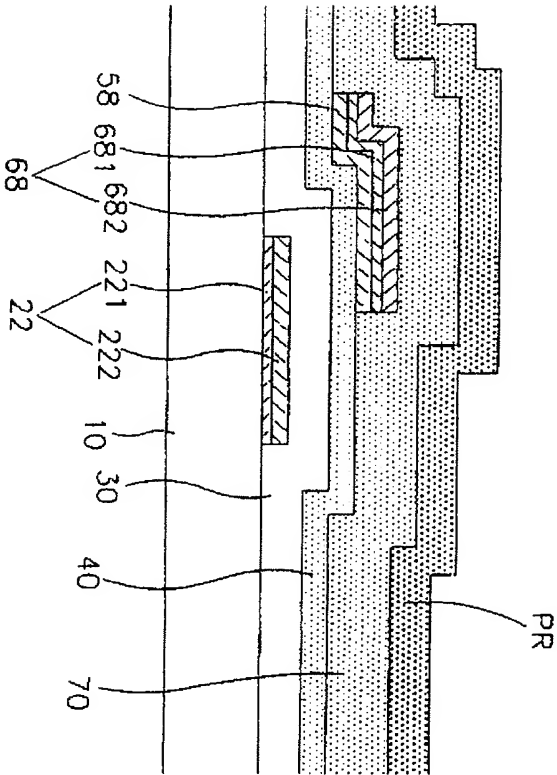



圖 13B

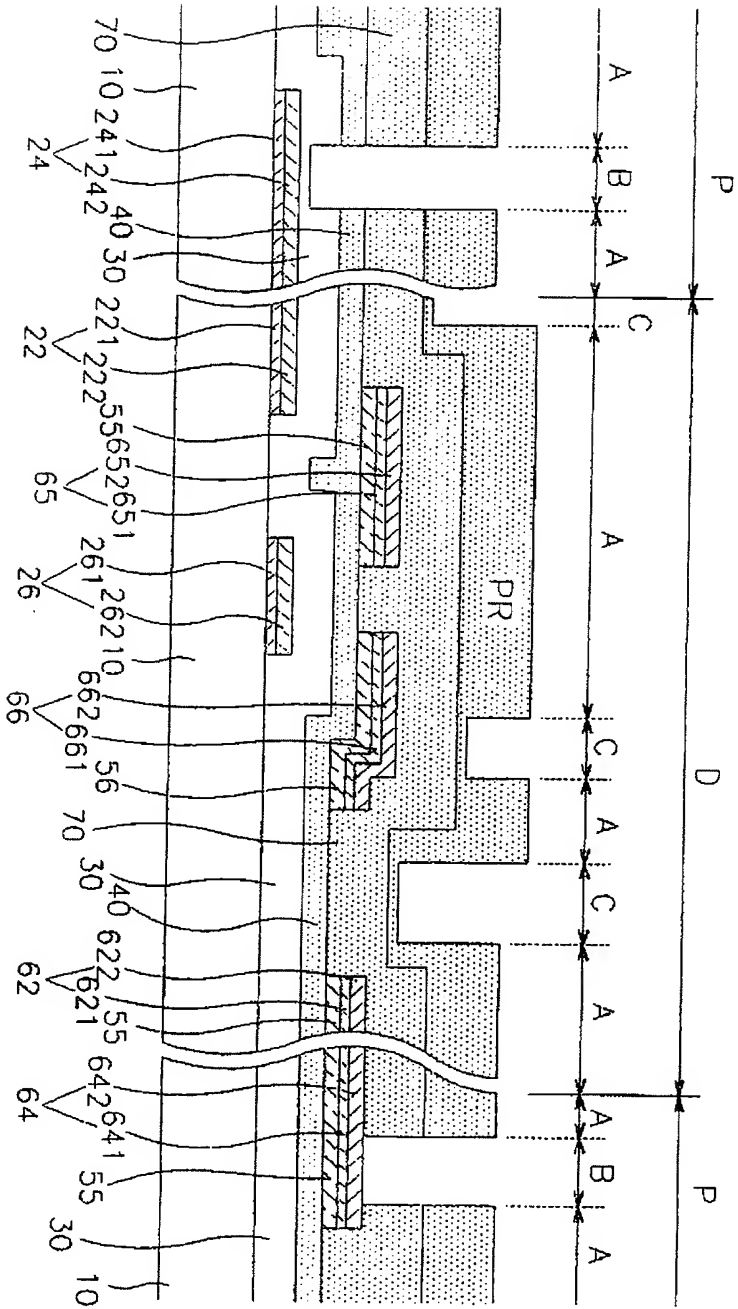
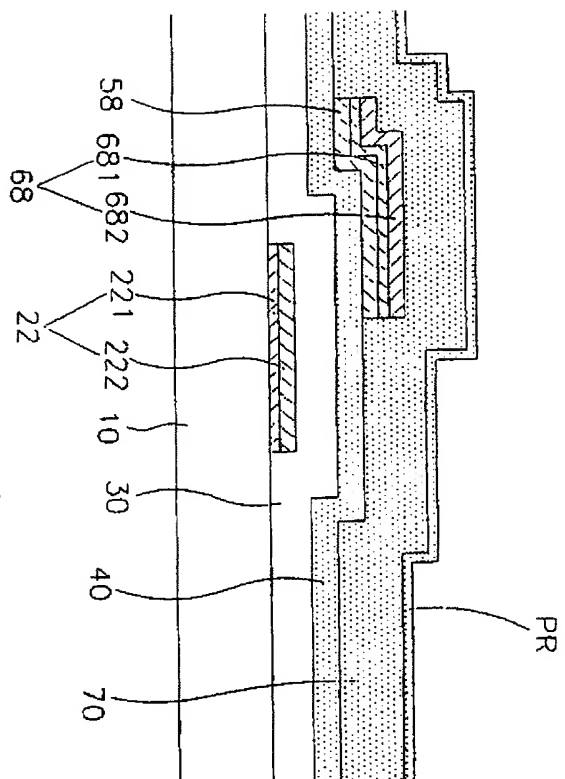


圖 14A



14B

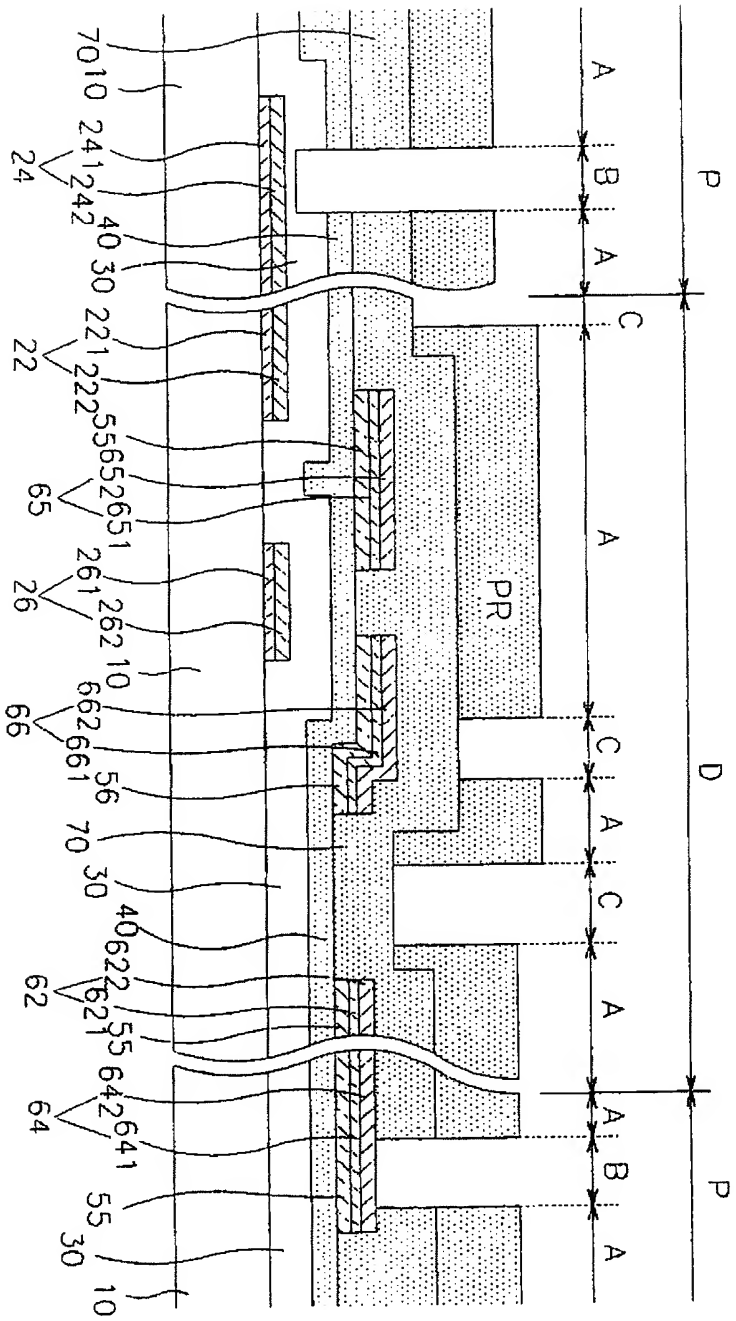
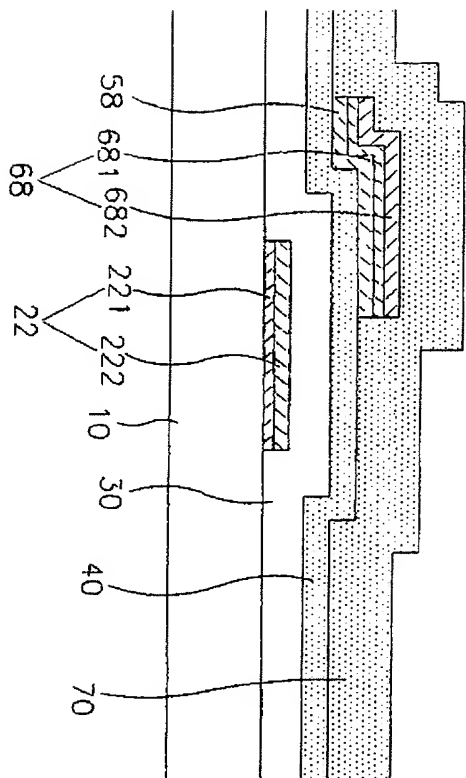


圖 15A



15B

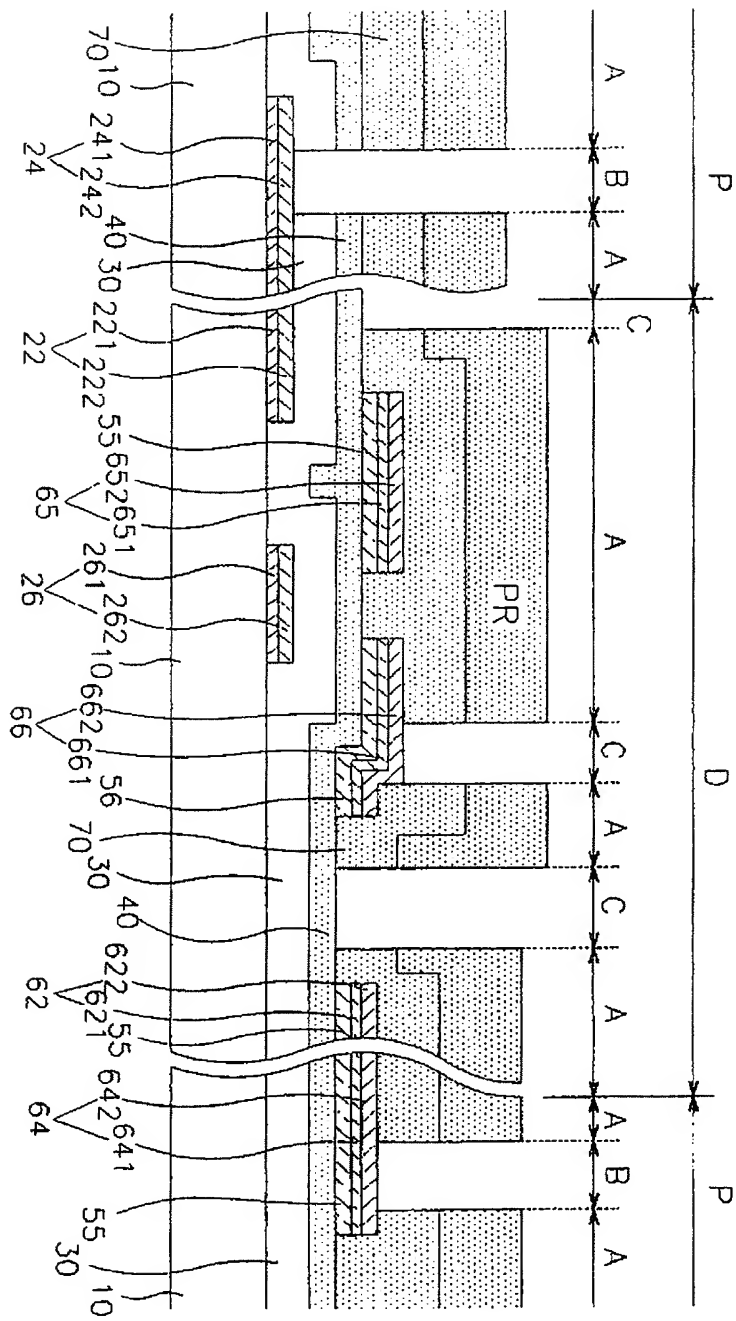


圖 16A

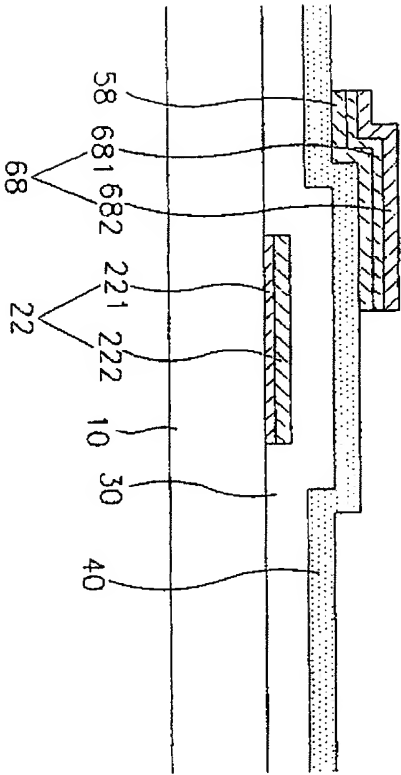


圖 16B

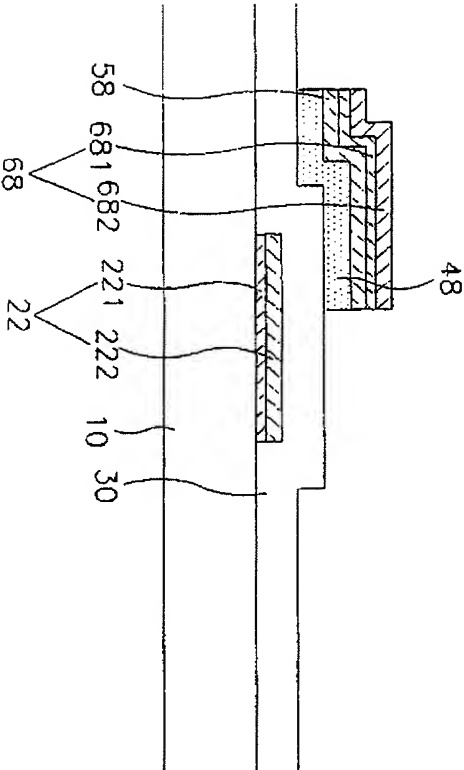


圖 17B

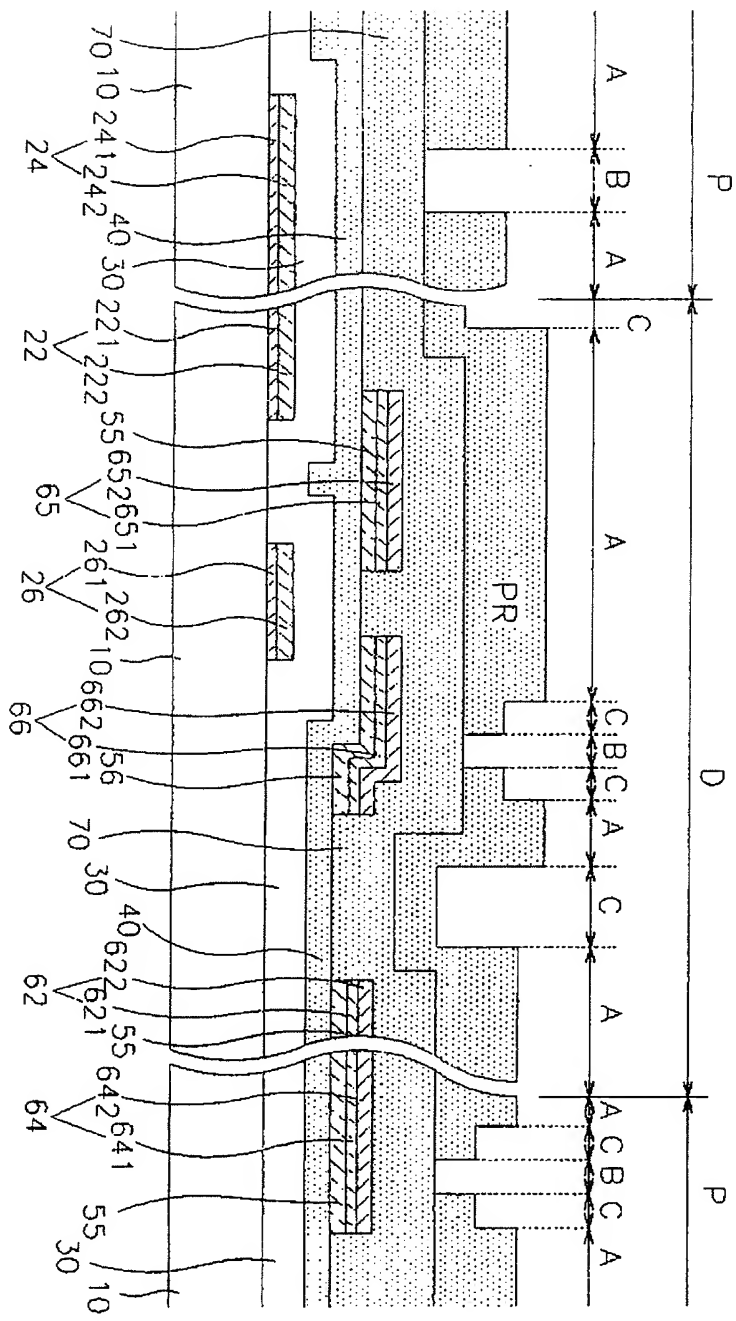


圖 18

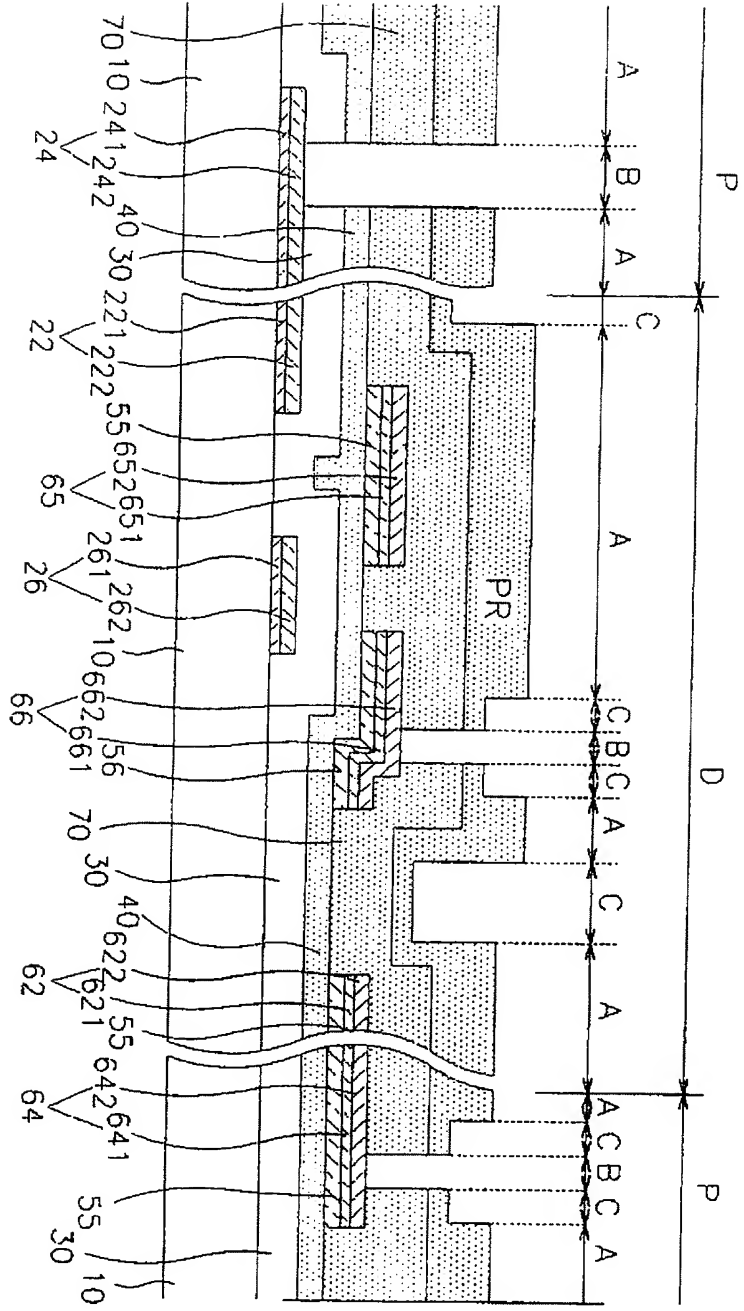


图 19

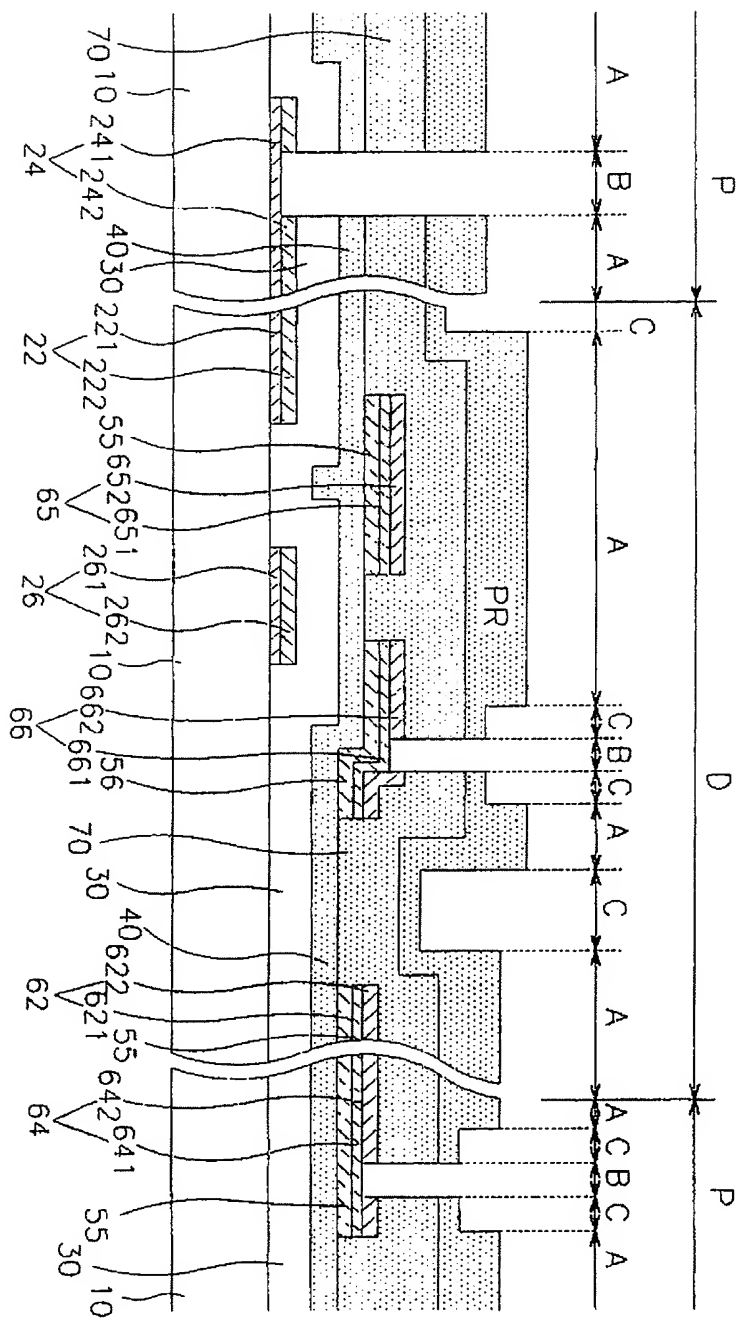


圖 20

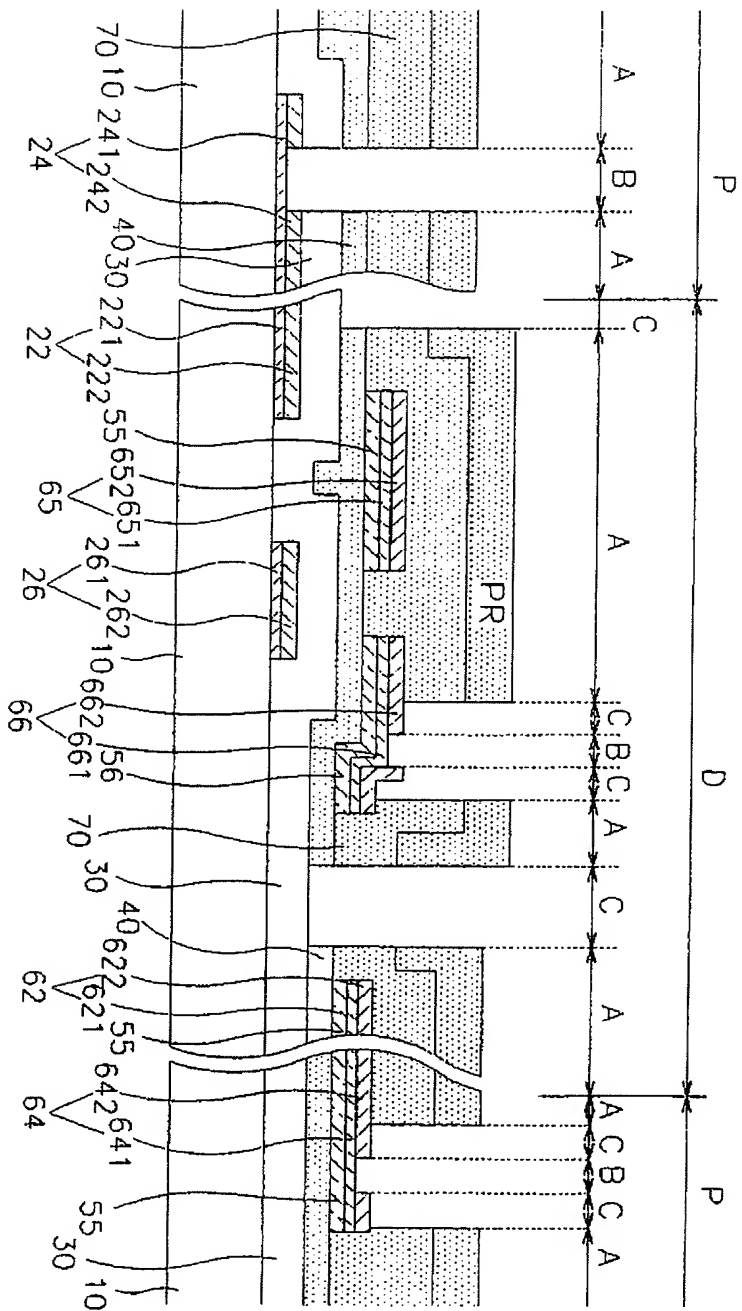


圖 21